

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-054022

(43)Date of publication of application : 23.02.2001

(51)Int. Cl. H04N 5/335
H01L 27/146

(21)Application number : 11-229272 (71)Applicant : NIPPON HOSO KYOKAI
<NHK>

(22)Date of filing : 13.08.1999 (72)Inventor : YAMANO KOJI
WATANABE TOSHIHIDE
WATABE TOSHIHISA
ISHIGURO YUICHI

(54) SOLID-STATE IMAGE PICKUP DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To pick up an image with a wide dynamic range.
SOLUTION: A pixel 10 has a photoelectric conversion element 11 converting light into an electric signal a comparison/judgement circuit 13 comparing output voltage from the photoelectric conversion element 11 with a threshold 18 and outputting a judgement signal when output voltage crosses the threshold a control signal generation circuit 14 outputting a control signal 19 when the judgment signal and a reset signal 20 being the pulse signal of a prescribed period which is previously decided are inputted a reset circuit 15 resetting the photoelectric conversion element 11 to the initial state of an operation when the control signal 19 is inputted and a counting circuit counting the number of times that the control signal 19 is outputted and outputting a counting result. A pixel value is constituted of the number of times that the output voltage of the photoelectric conversion element 11 exceeds the threshold and from the output voltage value of the photoelectric conversion element 11. Thus a dynamic range can be enlarged.

CLAIMS

[Claim(s)]

[Claim 1] A solid state camera comprising:

A solid state image pickup device which arranged many pixels to two-dimensional array form.

A pixel signal constituent means from which said a majority of pixels constitute a picture signal based on a counting result of the number of times of a control signal outputted by output voltage and a control signal generating means of a photoelectric conversion means which it has respectively is provided at least said a majority of pixels -- each: -- a threshold which has the value beforehand determined as output *** from a photoelectric conversion means and; this photoelectric conversion means which changes light into an electrical signal [compare and] A comparison judging means which outputs a decision signal when output voltage crosses the threshold; When both with a reset signal which is a pulse signal of a cycle beforehand determined as said decision signal are inputted A resetting means which resets said photoelectric conversion means to an initial state of operation when a control signal generating means and the; aforementioned control signal which output a control signal are inputted; a counting means which calculates the number of times to which said control signal was outputted and outputs a counting result.

[Claim 2] The device comprising according to claim 1:

A coefficient calculating means in which said device calculates a weighting factor from said counting result further.

A multiplication means which carries out the multiplication of said weighting factor and the output voltage of a photoelectric conversion means.

[Claim 3] In the device according to claim 1 or 2 in which said photoelectric conversion means said comparison judging means said control signal generating means and said resetting means are an optoelectric transducer a comparison test circuit a control signal generating circuit and a reset circuit respectively Said counting means is a counter circuit which calculates the number of times by which each aforementioned pixel outputs a control signal in unit time The counter circuit has the counter circuit array constituted from same row number as said two-dimensional pixel array by two dimensional array of the same number of lines A solid state camera wherein said pixel signal constituent means has a pixel signal component circuit which constitutes a pixel

value from an output from an output and said counter circuit array from said optoelectric transducer of each pixel.

[Claim 4] In the device according to claim 1 or 2 in which said photoelectric conversion means said comparison judging means said control signal generating means and said resetting means are an optoelectric transducer a comparison test circuit a control signal generating circuit and a reset circuit respectively. While said a majority of pixels possess a voltage current conversion circuit which transforms control signal output voltage of the pixel concerned into current further respectively. Further said device A line writing direction of the :aforementioned voltage current conversion circuit output. And total of a column direction. Line writing direction total readout circuitry and column direction total readout circuitry which are read respectively; It is a counter circuit which calculates the number of times to which a control signal was outputted for every pixel from an output of a total analysis circuit which presumes a pixel which outputted a control signal from an output of two total readout circuitries and; total analysis circuit A pixel signal component circuit where the counter circuit constitutes a pixel value from said two-dimensional pixel array a counter circuit array constituted from same row number by two dimensional array of the same number of lines an output from said optoelectric transducer of; each pixel and an output from said counter circuit array. A providing solid state camera.

[Claim 5] In the device according to claim 1 or 2 in which said photoelectric conversion means said comparison judging means said control signal generating means and said resetting means are an optoelectric transducer a comparison test circuit a control signal generating circuit and a reset circuit respectively. While said a majority of pixels possess a voltage current conversion circuit which transforms control signal output voltage of the pixel concerned into current further respectively. Said device -- further -- : -- line writing direction total readout circuitry and column direction total readout circuitry which read total of a line writing direction of said voltage current conversion circuit output and a column direction respectively and; -- an output of said line writing direction total readout circuitry and each of said column direction total readout circuitry. A column direction adder circuit which was appointed beforehand and which carries out period addition and is memorized. And a line writing direction adder circuit; From a total output circuit which each pixel presumes how many times a control signal was outputted and outputs within said period set beforehand from an output of two direction adder circuits an output from

said optoelectric transducer of; each pixel and an output from said total output circuit a pixel value. A solid state camera possessing a pixel signal component circuit to constitute.

[Claim 6] A solid state camera comprising:

A solid state image pickup device which arranged many pixels to two-dimensional array form.

A pixel signal constituent means from which said a majority of pixels constitute a picture signal based on a counting result of the number of steps of a control signal outputted by output voltage and a control signal generating means of a photoelectric conversion means which it has respectively is provided at least said a majority of pixels -- each: -- a threshold which rises at a time by one step synchronizing with a reset signal which is a pulse signal of a cycle beforehand determined as output voltage from a photoelectric conversion means and; this photoelectric conversion means which changes light into an electrical signal [compare and] A comparison judging means which outputs a decision signal when said output voltage crosses a threshold; When both said decision signal and said reset signal are inputted A resetting means which resets said photoelectric conversion means to an initial state of operation when a control signal generating means and the; aforementioned control signal which output a control signal are inputted; a counting means which calculates the number of steps of a threshold to which said control signal was outputted and outputs a counting result.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention constitutes a pixel signal from the output voltage of the photoelectric conversion part which changed storage time and read it with incident light quantity with the number of times beyond a threshold within the period which a solid state camera takes especially has the output voltage of a photoelectric conversion part.

Therefore it is related with the solid state camera which enabled the image pick-up with a large dynamic range.

[0002]

[Description of the Prior Art] Two techniques are described as a Prior

art. One is a technique with which the output voltage of a photoelectric conversion part calculates the number of times which crossed the threshold and constitutes a pixel value from this calculated number of times. For example there is "A Wide-Dynamic-Range Low-Power Photosensor Array" IEEE International Solid-State Circuits Conference and TP13.7-1994. Drawing 7 shows the example of the fundamental composition of the pixel for realizing this technique.

[0003] When output **** of the photo-diode 71 crosses the threshold voltage 72 the comparison circuit 73 carries out a pulse 1 output 74. The reset transistor 75 is turned on and a photo-diode is reset by this pulse. The above-mentioned operation will be repeated repeatedly at 1 field period as shown in the waveform of drawing 8 of operation. The output of a pixel is obtained as the number of the pulses within 1 field period or frequency of a pulse. If incident light quantity is large the output voltage of a photo-diode will reach a threshold immediately and for this reason the number of the pulses of 1 field period will increase. Conversely if incident light quantity is small the number of pulses will decrease. In this technique if a threshold is set as the value near an output voltage value when a photo-diode is saturated the dynamic range decided by the ratio of the output voltage at the time of reset to the output voltage at the time of saturation will usually be expanded exceeding the output voltage at the time of saturation.

[0004] Next there is the technique of changing exposure time with incident light quantity and forming a video signal into an extensive dynamic range. This is a "multi-storage time photo detector" video information media academic journal Vol. 51 No. 2 and pp. 256-262 (1997). Drawing 9 expresses typically the relation between the storage time in a photo-diode and a photoelectrical load output. The fundamental concept of the 2nd technique is explained using this figure.

[0005] Storage time is changed at intervals with $1/2, 1/4, 1/8, \dots, 1/128$. One in a figure is a photoelectrical load output in a certain storage time and the inclination which connects the point and starting point corresponds to incident light intensity. It is A0 when pitch-black. If light is strengthened it will progress in the direction of aluminum. If aluminum is reached a photo-diode will be saturated but without moving to the position of B0 and being saturated storage time is set to one half and an output becomes half. If light intensity furthermore becomes large it will progress to B and if B1 is reached it will move to C0 and storage time will be set to one fourth. If light intensity becomes the same greatly in the following storage time will change to $1/128$. The dynamic range can extend storage time 128 times in the case of fixing to

1 by this.

[0006]The circuitry of this element is shown in drawing 10. A circuit has two photo-diodes of the photo-diode b used in order to detect a photoelectrical load as the photo-diode a used for saturation detection in order to control storage time and a signal charge. RATSUCHI [the output of the photo-diode a leads to an inverter and / the output of an inverter]. A latch output changes only when a storage time control pulse is high-level. Twice [2^{n-8}] as many time as 1 frame period makes a storage time control pulse the high level between about 1 microsecond from the start of the frame at the time which passed respectively. At this time is 1 to 8. A ramp waveform shall take a value which is different respectively at the time when each storage time control pulse becomes high-level. An inverter output becomes high-level when the output voltage of a photo-diode exceeds the threshold of an inverter. An inverter output is latched by the storage time control pulse just behind this and a latch output turns OFF the gate a and the gate b by it. The electric charge which the stored charge of the photo-diode b in the time when the storage time control pulse immediately after an inverter output becomes high-level by this at the capacity a was inputted accumulated in the capacity b with the voltage of the ramp waveform is saved respectively. By reading these via a cell selection transistor a photoelectrical load output and its storage time output are obtained.

[0007]

[Problem(s) to be Solved by the Invention]However the number of times to which the output voltage of said photoelectric conversion part crossed the threshold is calculated and in the technique of constituting a pixel value from this calculated number of times when calculating the number of pulses in order to increase the gradation number of the luminosity which can be expressed with a video signal the counter of a scale according to a gradation number is needed. For example in the video signal which an imaging device outputs it is assumed that the luminosity is expressed by 256 gradation. In order to obtain the video signal which has a 100 times as many dynamic range as the above-mentioned video signal and has one 100 times the gradation number of this and 25600 gradation at this time at least 15-bit counter is needed. Such a large-scale counter also becomes a cause which cannot enlarge a numerical aperture when it has composition which becomes the cause of increasing the chip area of a sensor chip especially has a counter in each pixel respectively when accumulated on the same silicon chip as a sensor array. By this kind of technique there is a fault that the minimum disregard level of incident light quantity becomes large and sensitivity becomes low for the offset

voltage which a comparator has.

[0008]In the technique of changing said exposure time with incident light quantity and forming a video signal into an extensive dynamic range since two photo-diodes are required in a pixel it becomes difficult to enlarge the numerical aperture to the pixel area of the area of the photo-diode which accumulates a photoelectrical load as a signal charge.

[0009]The purpose of this invention by having been made in view of the above-mentioned problem and constituting a pixel signal from the number of times to which the output voltage of the photoelectric conversion part exceeded the threshold and output voltage which changed storage time and was read by incident light quantity. Increase the gradation number of a luminosity making the number of bits of a counter small and again the minimum disregard level of incident light quantity is made small and let the solid state camera which enables an image pick-up with a large dynamic range be an offer plug without sacrificing a numerical aperture by setting the photoelectric conversion part in 1 pixel to one further.

[0010]

[Means for Solving the Problem]In order to attain this Japanese target a solid state camera by the 1st invention indicated to claim 1 a pixel signal constituent means which constitutes a picture signal based on a counting result of the number of times of a solid state image pickup device which arranged many pixels to two-dimensional array form and a control signal outputted by output voltage and a control signal generating means of a photoelectric conversion means which said a majority of pixels have respectively is provided at least said a majority of pixels -- each: -- a threshold which has the value beforehand determined as output voltage from a photoelectric conversion means and; this photoelectric conversion means which changes light into an electrical signal [compare and] A comparison judging means which outputs a decision signal when output voltage crosses the threshold; When both with a reset signal which is a pulse signal of a cycle beforehand determined as said decision signal are inputted A resetting means which resets said photoelectric conversion means to an initial state of operation when a control signal generating means and the; aforementioned control signal which output a control signal are inputted; a counting means which calculates the number of times to which said control signal was outputted and outputs a counting result is provided.

[0011]A solid state camera by the 2nd invention this invention was indicated to be to claim 2 is characterized by that said 1st invention comprises:

A coefficient calculating means in which said device calculates weighting-factor alpha from said counting result further.

A multiplication means which carries out the multiplication of the output voltage of a photoelectric conversion means to said weighting-factor alpha.

[0012]A solid state camera by the 3rd invention indicated to claim 3In said 1st invention or said 2nd invention in which said photoelectric conversion meanssaid comparison judging meanssaid control signal generating meansand said resetting means are an optoelectric transducera comparison test circuita control signal generating circuitand a reset circuitrespectivelySaid counting means is a counter circuit which calculates the number of times by which each aforementioned pixel outputs a control signal in unit timeThe counter circuit has the counter circuit array constituted from same row number as said two-dimensional pixel array by two dimensional array of the same number of linesSaid pixel signal constituent means has a pixel signal component circuit which constitutes a pixel value from an output from an output and said counter circuit array from said optoelectric transducer of each pixel.

[0013]A solid state camera by the 4th invention indicated to claim 4In said 1st invention or said 2nd invention in which said photoelectric conversion meanssaid comparison judging meanssaid control signal generating meansand said resetting means are an optoelectric transducera comparison test circuita control signal generating circuitand a reset circuitrespectivelyWhile said a majority of pixels possess a voltage current conversion circuit which transforms control signal output voltage of the pixel concerned into current furtherrespectivelyFurther said device A line writing direction of the :aforementioned voltage current conversion circuit output. And total of a column direction. Line writing direction total readout circuitry and column direction total readout circuitry which are readrespectively; It is a counter circuit which calculates the number of times to which a control signal was outputted for every pixel from an output of a total analysis circuit which presumes a pixel which outputted a control signal from an output of two total readout circuitriesand; total analysis circuitA pixel signal component circuit where the counter circuit constitutes a pixel value from said two-dimensional pixel arraya counter circuit array constituted from same row number by two dimensional array of the same number of linesan output from said optoelectric transducer of; each pixeland an output from said counter circuit array is provided.

[0014]A solid state camera by the 5th invention indicated to claim 5In

said 1st invention or said 2nd invention in which said photoelectric conversion means said comparison judging means said control signal generating means and said resetting means are an optoelectric transducer a comparison test circuit a control signal generating circuit and a reset circuit respectively. While said a majority of pixels possess a voltage current conversion circuit which transforms control signal output voltage of the pixel concerned into current further respectively said device -- further -- : -- line writing direction total readout circuitry and column direction total readout circuitry which read total of a line writing direction of said voltage current conversion circuit output and a column direction respectively and; -- an output of said line writing direction total readout circuitry and each of said column direction total readout circuitry. A column direction adder circuit which was appointed beforehand and which carries out period addition and is memorized. And a line writing direction adder circuit; From a total output circuit which each pixel presumes how many times a control signal was outputted and outputs within said period set beforehand from an output of two direction adder circuits an output from said optoelectric transducer of; each pixel and an output from said total output circuit a pixel value. A pixel signal component circuit to constitute is provided.

[0015] A solid state camera by the 6th invention indicated to claim 6 A pixel signal constituent means which constitutes a picture signal based on a counting result of the number of steps of a solid state image pickup device which arranged many pixels to two-dimensional array form and a control signal outputted by output voltage and a control signal generating means of a photoelectric conversion means which said a majority of pixels have respectively is provided at least said a majority of pixels -- each: -- a threshold which rises at a time by one step synchronizing with a reset signal which is a pulse signal of a cycle beforehand determined as output voltage from a photoelectric conversion means and; this photoelectric conversion means which changes light into an electrical signal [compare and] A comparison judging means which outputs a decision signal when said output voltage crosses a threshold; When both said decision signal and said reset signal are inputted A resetting means which resets said photoelectric conversion means to an initial state of operation when a control signal generating means and the; aforementioned control signal which output a control signal are inputted; a counting means which calculates the number of steps of a threshold to which said control signal was outputted and outputs a counting result is provided.

[0016]

[Embodiment of the Invention]Drawing 1 shows the example of 1 composition of the stroke matter by this invention. Making this pixel 10 into two-dimensional array structure a figure shows that 1 pixel. A pixel consists of the photo-diode 11 the read transistor 12 the comparison circuit 13 AND circuit 14 and the reset transistor 15. The counter circuit and pixel configuration circuit which calculate the pulse of a control signal constitute the numerical aperture of a pixel besides a pixel array in order to enlarge.

[0017] In drawing 1 output voltage of the photo-diode 11 is carried out output 17 out of a pixel when the vertical scanning signals 16 are inputted into the read transistor 12. The comparison circuit 13 always compares the output voltage and the threshold 18 of the photo-diode 11 and when output **** exceeds a threshold it outputs a high-level signal. In AND circuit 14 when both the output and the reset signal 20 of a comparison circuit are high-level a high-level control signal is outputted. When a control signal is high-level the reset transistor 15 is turned on. When a reset transistor is turned on the photo-diode 11 is reset and is set as the output voltage of the initial state of photoelectric conversion operation. The control signal 19 is outputted out of a pixel as a control signal output. Although the threshold 18 is given within a pixel it can also be set up from the outside of a pixel.

[0018] An example of a waveform of operation of the pixel by this invention is shown in drawing 2. The reset signal 20 is a pulse signal of a constant period. A control signal is outputted to the timing as the reset pulse immediately after the time beyond a threshold that output **** of a photo-diode is the same. Vertical scanning signals are inputted only once in the end of 1 frame period for example. The voltage outputted by this from the time when the photo-diode was reset by the control signal of the last of 1 frame period when it will not be based on the lightwave signal electric charge accumulated by the output voltage read-out time in the end of 1 frame period or a control signal does not occur it is based on the lightwave signal electric charge accumulated in 1 frame period. The exposure time of this output voltage changes the cycle of the pulse of a reset signal and the number of times, i.e. the incident light quantity of generating of a control signal pulse. When a photographic subject is bright many control signal pulses are outputted to 21 by such operation for example and output voltage is outputted. When dark there is no control signal pulse in 22 or it is few and output voltage is outputted.

[0019] The example of an entire configuration of this invention imaging device 30 is shown in drawing 3. In this composition a pixel array

constitutes said pixel 10 in two-dimensional array form. The 1st vertical scanning circuit 31, the 1st switching circuit 32 and the 1st horizontal scanning circuit 33 are for reading the output voltage of the photo-diode 11 from the pixel in a pixel array once by a raster scan in the end of one frame. It is for the 1st reset-signal scanning circuit 34 supplying a reset signal from the 1st line one by one towards a final line to a pixel for every line.

[0020] The counter circuit 35 calculates the pulse number of the control signal of a pixel array when a reset signal is high-level. A counter circuit array constitutes this counter circuit 35 in the two-dimensional array form of the same number of lines as a pixel array and the same row number. All of the control signal output of the pixel in the same sequence and the control signal input of a counter circuit are connected. The 2nd vertical scanning circuit 36, the 2nd switching circuit 37 and the 2nd horizontal scanning circuit 38 read the counting result of a control signal pulse from the counter circuit 35 in a counter circuit array once by a raster scan in the end of one frame. It is for the 2nd reset-signal scanning circuit 39 supplying a reset signal from the 1st line one by one towards a final line to a counter circuit for every line.

[0021] The 1st reset-signal scanning circuit 34 and the 2nd reset-signal scanning circuit 39 output a reset pulse to the same time to the same line of a pixel array and a counter circuit array respectively.

Calculation of a control signal is performed by sequence parallel processing by this operation. That is, the control signal of two or more pixels in the same line in a pixel array is simultaneously calculated by two or more counter circuits of the same line as the line of the pixel array in a counter circuit array. Since the control signal of two or more pixels is calculated in parallel, there is an advantage whose high-speed read-out of a control signal becomes possible.

[0022] The pixel signal component circuit 40 constitutes and outputs a pixel signal from the output voltage of a photo-diode and the pulse number of the control signal of 1 frame period in read-out time. The example of composition is shown in drawing 4. The coefficient calculation circuit 41 calculates weighting-factor α from the output voltage v_2 of a photo-diode and the pulse number n_3 of a control signal. The multiplication circuit 44 multiplies by this weighting-factor α and output voltage v and outputs the pixel signal $P (= \alpha \cdot v)$ 45.

[0023] The example of the calculation method of the coefficient α in a coefficient calculation circuit is shown below. The pulse number of the reset pulse within 1 frame period is set to N and a threshold is set to Q . Here it is assumed that the incident light quantity within 1 frame

period does not change. Weighting-factor α is set to $\alpha = 1$ at the time of $n = 0$. It asks for α from Table 1 at the time of $n > 0$. In Table 1 it is $N - k$ and a is $k = 0, 1, 2, \dots$ the remainder that broke N by $N - k$ and writes it as $a = N \% (N - k)$. At this time since pulse number n of a control signal can be considered to be the quotient which broke N by $N - k$ it is $n = N / (N - k)$. It is assumed at the time of $a = 0$ that v is not reset at the read-out time of v . From Table 1 α is determined in quest of k which satisfies both n and v that were obtained.

[0024]

[Table 1]

[0025] The example of composition of the solid state camera 2nd by this invention is shown in drawing 5. In drawing 5a a pixel is a pixel shown in drawing 1a and the composition and operation are the same as that of said example. Operation of the horizontal scanning circuit 53 the vertical scanning circuit 51 and the switching circuit 52 is the same as that of the above-mentioned example. The control signal output of each pixel is connected to the voltage current conversion circuit 54. A pixel array arranges this constitutional unit for the group of the pixel 10 and the voltage current conversion circuit 54 to two-dimensional array form as one constitutional unit.

[0026] In a pixel array a reset signal is inputted into the reset signal input 20 of all the pixels to the same timing. A pixel array has one reset signal input in it and the wiring from this input is connected to the reset signal input of all the pixels in a pixel array. If timing of such a reset signal is used the timing allowed the output of the control signal 19 will also become the same by all the pixels. When a control signal is outputted from a pixel each voltage current conversion circuit 54 outputs the current of a respectively fixed size to the column direction total readout circuitry 55 and the line writing direction total readout circuitry 56. Since the timing allowed the output of the control signal 19 is the same from two or more voltage current conversion circuits current will be outputted to the same timing and those current will be added. The current value equivalent to total of the pixel which outputted the control signal among the pixels located in a line with the same sequence after all in the column direction total readout circuitry 55 whenever a reset signal is inputted will be acquired about each sequence respectively. In the line writing direction total readout circuitry 56 the current value equivalent to total of the pixel which outputted the control signal among the pixels on a par with the same

line will be acquired about each line respectively.

[0027] In the column direction total readout circuitry 55 and the line writing direction total readout circuitry 56 it outputs after changing the size of current into the size of ****. In the total analysis circuit 57 XY address on the pixel array of the pixel which outputted the control signal is presumed and outputted with the output from the column direction total readout circuitry 55 and the line writing direction total readout circuitry 56. In the counter circuit array 58 each pixel calculates and outputs the number of times which outputted the control signal within 1 frame period from the output from the total analysis circuit 57. About the pixel signal component circuit 59 it is the same as that of the above-mentioned pixel signal component circuit 40.

[0028] The example of composition of the solid state camera 3rd by this invention is shown in drawing 11. In drawing 11 the pixel 10 the voltage current conversion circuit 54 the horizontal scanning circuit 53 the switching circuit 52 the vertical scanning circuit 51 the column direction total readout circuitry 55 the line writing direction total readout circuitry 56 and the pixel signal component circuit 59 are the same as that of the example of composition of the drawing 5 graphic display 2nd. The column direction adder circuit 111 and the line writing direction adder circuit 112 carry out fixed time addition and output the output of the column direction total readout circuitry 55 and the line writing direction total readout circuitry 56 respectively. In the total analysis circuit 113 within fixed time with each pixel it presumes how many times the control signal was outputted and outputs with the output from the column direction adder circuit 111 and the line writing direction adder circuit 112.

[0029] One of the factors which determines the difficulty of presumption performed in the total analysis circuit 113 has input timing of a reset signal. If it is considered as the input timing of a reset signal a pulse form reset signal is given on fixed frequency. The value adding one frame period of total of the pixel which outputted the control signal among the pixels located in a line with the same sequence in a column direction adder circuit at this time shall be obtained about each sequence. In a line writing direction adder circuit the value adding one frame period of total of the pixel which outputted the control signal among the pixels on a par with the same line shall be obtained about each line. In a total analysis circuit from these the output time within 1 frame period of the control signal of each pixel is presumed and it outputs to 1 frame period once.

[0030] As input timing of another reset signal a reset pulse is inputted

only once in the end of the period in [of for example 1 frame period (1 / 30 seconds) / first] 1 / 120 seconds and a pulse form reset signal is given on fixed frequency in [of the remainder] 3 / 120 seconds. At this time 1 [first] / value added for 120 seconds is obtained for total of the pixel which outputted the control signal among the pixels on a par with the same sequence about each sequence it is outputted and 3 [remaining] / values which were added for 120 seconds are obtained about each sequence and it is outputted in a column direction adder circuit. Also in a line writing direction adder circuit it is the same. The value obtained by for [of the start] 1 / 120 seconds by the column direction adder circuit and a line writing direction adder circuit becomes total of the pixel which outputs the pixel signal of 4 times or more of a threshold level. In a total analysis circuit after presuming coarsely [be / they / 4 or more times of a threshold level] using the first value for 1 / 120 seconds the remaining values for 3 / 120 seconds are used and detailed presumption is performed.

[0031] Next by computer simulation the photoelectric transfer characteristic acquired by this invention solid state camera was searched for. At this time pulse number N of the reset pulse of 1 frame period was set to N=100 and threshold Q was set to Q=1. Output voltage when the stored charge of the photo-diode ****(ed) was set to 1 and incident light quantity at that time was set to 1. Even the incident light quantity 100 was calculated as an example. A simulation result is shown in drawing 6. It turns out that the pixel signal value is also increasing to the question which incident light quantity increases to 100 and 100 times [over the past] as many dynamic ranges are realized.

[0032] in the example of composition of this invention solid state camera explained above a threshold is working -- although it is immobilization altogether and has been suitably set up near the output voltage at the time of the saturation of the stored charge of a photo-diode the inconvenience described below is produced in this form. That is a photo-diode sets 1 and voltage when reset to 0 for the output voltage of saturation. As shown in drawing 12 (a) a threshold is set to 1 and suppose here that 10 times of pulse form reset signals are added to unit storage time. If the control signal outputted to unit storage time is added at this time it can be known how many times the threshold was exceeded to unit storage time in each pixel i.e. were saturated?. The relation between the luminosity of the photographic subject at this time and the number of times of saturation is shown in drawing 12 (b). The photo-diode supposes that it will be saturated once in unit storage time at the time of the luminosity 1. Drawing 12 (b) shows that the number of

times of saturation produced by adding a control signal does not change at intervals with 123 and 5 or 10 times when the luminosity of a photographic subject changes from 1 to 10. this i.e. threshold regularity -- if -- it means that the gradation number of the luminosity which can be expressed decreases compared with the gradation number of the luminosity of a photographic subject.

[0033] The composition stated to the following which carries out a working threshold with variable for solving an above-mentioned problem is proposed. As shown in drawing 13 (a) when adding 10 times of pulse form reset signals to unit storage time a threshold is made for 2/10 and the following to be the same 10/10 by 1 / 10 or 2nd pulse about a threshold by the 1st pulse at the 10th time. At this time all the pixels with which the pixel which outputted the control signal of the logical value "1" by the 1st pulse is saturated once or more in unit storage time will be contained. Similarly by the 2nd pulse all the pixels saturated twice or more are contained in unit storage time. In the 3rd pulse a part of pixel saturated 3 times or more and pixel saturated only once are contained. Thus the pixel which outputs the control signal of a logical value "1" in each pulse can know [how many times or] beforehand how many times or more it will be saturated to unit storage time. Therefore it can ask for the number of times of saturation of the unit storage time of each pixel by unifying the state of the output of the control signal in each pulse. Thus the relation of the luminosity of a photographic subject and the number of times of saturation which are obtained is shown in drawing 13 (b). From drawing 13 (b) when the luminosity of a photographic subject changes from 1 to 10 it can grasp that the number of times of saturation also changes from 1 time according to a luminosity to 10 times.

[0034] The example of circuitry for realizing this method is shown in drawing 14. In drawing 14 the pixel 10 a pixel array the vertical scanning circuit 31 the horizontal scanning circuit 33 the switching circuit 32 and the reset-signal scanning circuit 34 are the same as that of the example of composition of drawing 3. the time of the 1st reset pulse being inputted -- a selector -- input HE change **** of the memory 1. The memory 1 memorizes the control signal which each pixel outputs in the 1st reset pulse as a logical value "0" or "1." Similarly a selector is changed to the input of the memory 2 at the time of the 2nd reset pulse it changes to the input of the memory 10 at the 10th time and each memory memorizes the control signal then outputted about all the pixels. In the number-of-times calculation circuit 140 of saturation each pixel calculates and outputs how many times it was saturated to unit storage

time referring to the contents from the memory 1 to the memory 10. In the pixel signal component circuit 40a pixel signal is constituted and outputted from the number of times of saturation of unit storage time and output **** of the photo-diode read once in the end of unit storage time. [0035] The example of above some will explain this invention and that various kinds of modification and change are possible within the gist of the invention specified to the claim has obvious **** to a person skilled in the art without limiting this invention to these.

[0036]

[Effect of the Invention] Although the counter of the scale which can calculate a number equivalent to the gradation number of a luminosity was required in the technique of constituting a pixel value from the number of times to which the output voltage of the photoelectric conversion part of conventional technology crossed the threshold In this invention since the counter circuit just calculates from 0 to 100 on above-mentioned conditions 7 bits may be sufficient. At this time it is dependent on the resolution at the time of read-out of the output voltage of a photo-diode and the gradation number of a luminosity can obtain sufficient gradation number by using a highly efficient A/D converter. It is predicted that it can enlarge the numerical aperture of a pixel since the counter circuit is arranged besides a pixel array. In this invention when a photographic subject is dark it does not generate but the pulse of a control signal reads the output voltage of a photo-diode like the conventional CMOS type image sensor and makes it a pixel value. Therefore since it becomes equivalent [sensitivity] to a conventional type there is no fault to which the above-mentioned sensitivity becomes low.

[0037] When this invention sets the number of reset pulses constant the time from the generation times of the control pulse in front of the read-out time of the output voltage of a photo-diode to the read-out time of output voltage will change if incident light quantity changes. In said table 1 the time of this from the generation times of the control pulse in front of the read-out time of the output voltage of the above-mentioned photo-diode to the read-out time of output voltage is a Incident light quantity's changing is that k changes and when the reset pulse N [several] is set constant it is understood also from a changing with change of k . If only this operation is taken into consideration this invention is similar with the technique of changing the above-mentioned exposure time with incident light quantity and forming a video signal into an extensive dynamic range. However since only one arranges a photo-diode in 1 pixel the problem of the numerical aperture of the above-

mentioned pixel does not arise.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is a figure showing the example of 1 composition of the stroke matter by this invention.

[Drawing 2] It is a figure showing the waveform of the pixel by this invention of operation.

[Drawing 3] It is a figure showing the example of 1 composition of the solid state camera by this invention.

[Drawing 4] It is a figure showing the example of 1 composition of the pixel signal component circuit by this invention.

[Drawing 5] It is a figure showing the example of composition of the solid state camera 2nd by this invention.

[Drawing 6] It is a figure showing the photoelectric transfer characteristic of the solid state camera by this invention.

[Drawing 7] It is a figure showing the example of 1 composition of the conventional solid state camera stroke matter.

[Drawing 8] It is a figure showing the waveform of the conventional solid state camera pixel of operation.

[Drawing 9] It is a figure showing the concept of the principle of operation of the conventional solid state camera.

[Drawing 10] It is a figure showing the composition of the conventional solid state camera.

[Drawing 11] It is a figure showing the example of composition of the solid state camera 3rd by this invention.

[Drawing 12] It is a figure for explaining operation of this invention solid state camera at the time of threshold fixed.

[Drawing 13] It is a figure for explaining operation of this invention solid state camera at the time of threshold variable.

[Drawing 14] It is a figure showing the composition of this invention solid state camera at the time of threshold variable.

[Description of Notations]

10 Pixel

11 Photo-diode

12 Read transistor

13 Comparison circuit

14 AND circuit

15 Reset transistor

16 Vertical scanning signals
17 Output voltage
18 Threshold
19 Control signal
20 Reset signal
21 Data when a photographic subject is bright
22 Data when a **** object is dark
30 This invention solid state camera
31 The 1st vertical scanning circuit
32 The 1st switching circuit
33 The 1st horizontal scanning circuit
34 The 1st reset-signal scanning circuit
35 Counter circuit
36 The 2nd vertical scanning circuit
37 The 2nd switching circuit
38 The 2nd horizontal scanning circuit
39 The 2nd reset-signal scanning circuit
40 Pixel signal component circuit
41 Coefficient calculation circuit
42 Output voltage (v) of a photo-diode
43 The pulse number (n) of a control signal
44 Multiplication circuit
45 Pixel signal ($P = \alpha \cdot v$)
51 Vertical scanning circuit
52 Switching circuit
53 Horizontal scanning circuit
54 Voltage current conversion circuit
55 Column direction total readout circuitry
56 Line writing direction total readout circuitry
57 Total analysis circuit
58 Counter circuit array
59 Pixel signal component circuit
71 Photo-diode
72 Threshold
73 Comparison circuit
74 Pulse output
75 Reset transistor
111 Column direction adder circuit
112 Line writing direction adder circuit
113 Total analysis circuit

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-54022

(P2001-54022A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 4 N 5/335

H 0 4 N 5/335

P 4 M 1 1 8

H 0 1 L 27/146

H 0 1 L 27/14

A 5 C 0 2 4

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号

特願平11-229272

(22) 出願日

平成11年8月13日 (1999.8.13)

(71) 出願人 000004352

日本放送協会

東京都渋谷区神南2丁目2番1号

(72) 発明者 山野 浩司

東京都世田谷区砧1丁目10番11号 日本放送技術研究所内

(72) 発明者 渡辺 敏英

東京都世田谷区砧1丁目10番11号 日本放送技術研究所内

(74) 代理人 100059258

弁理士 杉村 暁秀 (外2名)

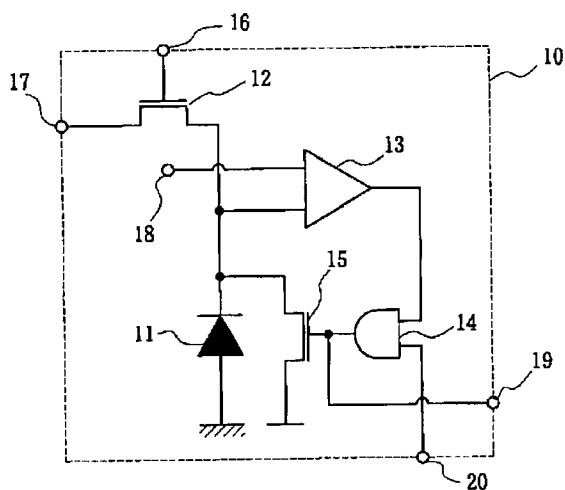
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】 (修正有)

【課題】 広いダイナミックレンジで撮像可能な固体撮像装置を提供する。

【解決手段】 多数の画素10はそれぞれ：光を電気信号に変換する光電変換素子11と；該光電変換素子からの出力電圧としきい値18とを比較し、出力電圧がしきい値を横切ったときに判定信号を出力する比較判定回路13と；前記判定信号と予め定められた一定周期のパルス信号であるリセット信号20との両者が入力されているとき、制御信号19を出力する制御信号生成回路14と；前記制御信号19が入力されたときに前記光電変換素子11を動作の初期状態にリセットするリセット回路15と；前記制御信号が出力された回数を計数し計数結果を出力する計数回路とを具えて、光電変換素子の出力電圧がしきい値を超えた回数と、光電変換素子の出力電圧値とから画素値を構成することにより、ダイナミックレンジを拡大できるよう構成する。



【特許請求の範囲】

【請求項 1】 多数の画素を 2 次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号の回数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた値を有するしきい値とを比較し、出力電圧がそのしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と予め定められた周期のパルス信号であるリセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力された回数を計数し計数結果を出力する計数手段とを具備することを特徴とする固体撮像装置。

【請求項 2】 請求項 1 記載の装置において、前記装置はさらに前記計数結果から重み係数を計算する係数計算手段と、前記重み係数と光電変換手段の出力電圧を乗算する乗算手段とを具備することを特徴とする固体撮像装置。

【請求項 3】 前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である請求項 1 または 2 記載の装置において、前記計数手段は単位時間内に各前記画素が制御信号を出力する回数を計数するカウンタ回路であって、そのカウンタ回路が前記 2 次元画素アレイと同じ列数で同じ行数の 2 次元アレイに構成されたカウンタ回路アレイを有し、前記画素信号構成手段は各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出力より画素値を構成する画素信号構成回路を有することを特徴とする固体撮像装置。

【請求項 4】 前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である請求項 1 または 2 記載の装置において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の行方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；2 つの総和読み出し回路の出力より制御信号を出力した画素を推定する総和解析回路と；総和解析回路の出力から各画素ごとに制御信号が出力された回数を計数するカウンタ回路であって、そのカウンタ回路が前記 2 次元画素アレイと同じ列数で同じ行数の 2 次元アレイに構成されたカウンタ回路アレイと；各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出

力より画素値を構成する画素信号構成回路とを具備することを特徴とする固体撮像装置。

【請求項 5】 前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である請求項 1 または 2 記載の装置において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の行方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；前記行方向総和読み出し回路および前記列方向総和読み出し回路それぞれの出力を予め定められた期間加算し記憶する列方向加算回路および行方向加算回路と；2 つの方向加算回路の出力からそれぞれの画素が前記予め定められた期間内に何回制御信号を出力したかを推定し出力する総和出力回路と；各画素の前記光電変換素子からの出力と前記総和出力回路からの出力より画素値を構成する画素信号構成回路とを具備することを特徴とする固体撮像装置。

【請求項 6】 多数の画素を 2 次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号のステップ数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、

多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた周期のパルス信号であるリセット信号に同期して 1 ステップずつ上昇するしきい値とを比較し、前記出力電圧がしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と前記リセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力されたしきい値のステップ数を計数し計数結果を出力する計数手段とを具備することを特徴とする固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、固体撮像装置に係り、特に光電変換部の出力電圧がある期間内にしきい値を超えた回数と、入射光量によって蓄積時間を変化させて読み出した光電変換部の出力電圧とから、画素信号を構成することにより広いダイナミックレンジでの撮像を可能とした固体撮像装置に関するものである。

【0002】

【従来の技術】 従来の技術として、2 つの手法について述べる。1 つは光電変換部の出力電圧がしきい値を横切った回数を計数し、この計数された回数から画素値を構

成する手法である。例えば、“A Wide-Dynamic-Range, Low-Power Photo sensor Array”, IEEE International Solid-State Circuits Conference, TP13. 7, 1994がある。図7はこの手法を実現するための画素の基本的な構成の例を示す。

【0003】フォトダイオード71の出力電圧がしきい値電圧72を横切ったときに比較回路73はパルスをつ出力74する。このパルスによってリセットトランジスタ75がオンになりフォトダイオードがリセットされる。上記動作は、図8の動作波形に示すように、例えば1フィールド期間に何度も反復されることになる。画素の出力は1フィールド期間内のパルスの数またはパルスの周波数として得られる。入射光量が大きければフォトダイオードの出力電圧はすぐにしきい値に達し、このため1フィールド期間のパルスの数は多くなる。逆に入射光量が小さければパルスの数は少なくなる。この手法において、例えばしきい値をフォトダイオードが飽和したときの出力電圧値に近い値に設定すれば、通常、リセット時の出力電圧と飽和時の出力電圧の比で決まるダイナミックレンジが、飽和時の出力電圧を超えて拡大される。

【0004】次に、露光時間を入射光量によって変化させて映像信号を広ダイナミックレンジ化する手法がある。これは例えば、“マルチ蓄積時間受光素子”，映像情報メディア学会誌Vol. 51, No. 2, pp. 256-262 (1997)である。図9はフォトダイオードにおける蓄積時間と光電荷出力の関係を模式的に表している。この図を用いて第2の手法の基本概念を説明する。

【0005】蓄積時間は 1 , $1/2$, $1/4$, $1/8$, ..., $1/128$ ととびとびに変化させている。図の中の一点はある蓄積時間における光電荷出力であり、その点と原点を結ぶ傾きが入射光強度に対応する。真っ暗のときはA0である。光を強くするとA1方向に進む。A1に達するとフォトダイオードは飽和するが、B0の位置に移動して飽和することなく、蓄積時間が $1/2$ になり出力が半分になる。さらに光強度が大きくなるとB1に進み、B1に達するとC0に移動して蓄積時間は $1/4$ になる。以下同様に光強度が大きくなると蓄積時間が $1/128$ まで変化する。これによってダイナミックレンジは蓄積時間を1に固定する場合の128倍に広げることができる。

【0006】図10にこの素子の回路構成を示す。回路は、蓄積時間を制御するために飽和検出に用いられるフォトダイオードaと、信号電荷として光電荷を検出するために用いられるフォトダイオードbの2つのフォトダイオードを持つ。フォトダイオードaの出力はインバータにつながり、インバータの出力はラッチされる。ラッ

チ出力は蓄積時間制御パルスがハイレベルのときのみ変化する。蓄積時間制御パルスはそのフレームの開始から、1フレーム期間の 2^{n-8} 倍の時間がそれぞれ経過した時刻に約 $1\mu s$ の間ハイレベルにする。このときnは1から8である。ランプ波形は各蓄積時間制御パルスがハイレベルになる時刻でそれぞれ異なった値をとるものとする。フォトダイオードの出力電圧がインバータのしきい値を超えたときインバータ出力はハイレベルになる。この直後の蓄積時間制御パルスによってインバータ出力はラッチされ、ラッチ出力はゲートaおよびゲートbをオフにする。これによって容量aには、インバータ出力がハイレベルになった直後の蓄積時間制御パルスの入力された時刻におけるフォトダイオードbの蓄積電荷が、容量bにはランプ波形の電圧によって蓄積した電荷がそれぞれ保存される。これらをセル選択トランジスタを介して読み出すことによって、光電荷出力とその蓄積時間出力を得る。

【0007】

【発明が解決しようとする課題】しかしながら、前記光電変換部の出力電圧がしきい値を横切った回数を計数し、この計数された回数から画素値を構成する手法においては、パルスの数を計数する場合、映像信号で表現しうる明るさの階調数を多くするためには、階調数に応じた規模のカウンタが必要となる。例えば、撮像装置が出力する映像信号において、その明るさが256階調で表現されているとする。このとき、上記映像信号の100倍のダイナミックレンジを持ち、かつ100倍の階調数すなわち25600階調を持つ映像信号を得るためには、少なくとも15ビットのカウンタが必要となる。このような大規模なカウンタは、センサアレイと同一シリコンチップ上に集積する場合、センサチップのチップ面積を増大させる原因となり、特に各画素内にそれぞれカウンタを持つ構成とする場合には開口率を大きくできない原因ともなる。また、この種の手法ではコンパレータの持つオフセット電圧のために、入射光量の最低検出レベルが大きくなり、感度が低くなるという欠点がある。

【0008】また、前記露光時間を入射光量によって変化させて映像信号を広ダイナミックレンジ化する手法においては、画素内に2つのフォトダイオードが必要なので、信号電荷として光電荷を蓄積するフォトダイオードの面積の画素面積に対する開口率を大きくすることが困難になる。

【0009】本発明の目的は上記の問題点を鑑みてなされたもので、光電変換部の出力電圧がしきい値を超えた回数と、入射光量によって蓄積時間を変化させて読み出された出力電圧とから、画素信号を構成することによって、カウンタのビット数を小さくしながら明るさの階調数を多くし、また、入射光量の最低検出レベルを小さくし、さらに、1画素内の光電変換部を1つにすることによって開口率を犠牲にすることなく、広いダイナミック

レンジでの撮像を可能とする固体撮像装置を提供せんとするものである。

【0010】

【課題を解決するための手段】この目的を達成するため、請求項1に記載された第1の発明による固体撮像装置は、多数の画素を2次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号の回数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた値を有するしきい値とを比較し、出力電圧がそのしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と予め定められた周期のパルス信号であるリセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力された回数を計数し計数結果を出力する計数手段とを具備することを特徴とする。

【0011】請求項2に記載された第2の発明による固体撮像装置は、前記第1の発明において、前記装置はさらに前記計数結果から重み係数 α を計算する係数計算手段と、前記重み係数 α と光電変換手段の出力電圧を乗算する乗算手段とを具備することを特徴とする。

【0012】請求項3に記載された第3の発明による固体撮像装置は、前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である、前記第1の発明または前記第2の発明において、前記計数手段は単位時間内に各前記画素が制御信号を出力する回数を計数するカウンタ回路であって、そのカウンタ回路が前記2次元画素アレイと同じ列数で同じ行数の2次元アレイに構成されたカウンタ回路アレイを有し、前記画素信号構成手段は各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出力より画素値を構成する画素信号構成回路を有することを特徴とする。

【0013】請求項4に記載された第4の発明による固体撮像装置は、前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である、前記第1の発明または前記第2の発明において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の行方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；2つの総和読み出し回路の出力より

制御信号を出力した画素を推定する総和解析回路と；総和解析回路の出力から各画素ごとに制御信号が出力された回数を計数するカウンタ回路であって、そのカウンタ回路が前記2次元画素アレイと同じ列数で同じ行数の2次元アレイに構成されたカウンタ回路アレイと；各画素の前記光電変換素子からの出力と前記カウンタ回路アレイからの出力より画素値を構成する画素信号構成回路とを具備することを特徴とする。

【0014】請求項5に記載された第5の発明による固体撮像装置は、前記光電変換手段、前記比較判定手段、前記制御信号生成手段および前記リセット手段はそれぞれ光電変換素子、比較判定回路、制御信号生成回路およびリセット回路である、前記第1の発明または前記第2の発明において、多数の前記画素はそれぞれさらに当該画素の制御信号出力電圧を電流に変換する電圧・電流変換回路を具備するとともに、前記装置はさらに：前記電圧・電流変換回路出力の行方向および列方向の総和をそれぞれ読み出す行方向総和読み出し回路および列方向総和読み出し回路と；前記行方向総和読み出し回路および前記列方向総和読み出し回路それぞれの出力を予め定められた期間加算し記憶する列方向加算回路および行方向加算回路と；2つの方向加算回路の出力からそれぞれの画素が前記予め定められた期間内に何回制御信号を出力したかを推定し出力する総和出力回路と；各画素の前記光電変換素子からの出力と前記総和出力回路からの出力より画素値を構成する画素信号構成回路とを具備することを特徴とする。

【0015】請求項6に記載された第6の発明による固体撮像装置は、多数の画素を2次元アレイ状に配列した固体撮像素子と、多数の前記画素がそれぞれ有する光電変換手段の出力電圧および制御信号生成手段により出力された制御信号のステップ数の計数結果に基づいて画像信号を構成する画素信号構成手段とを少なくとも具備し、多数の前記画素はそれぞれ：光を電気信号に変換する光電変換手段と；該光電変換手段からの出力電圧と予め定められた周期のパルス信号であるリセット信号に同期して1ステップずつ上昇するしきい値とを比較し、前記出力電圧がしきい値を横切ったときに判定信号を出力する比較判定手段と；前記判定信号と前記リセット信号との両者が入力されているとき、制御信号を出力する制御信号生成手段と；前記制御信号が入力されたときに前記光電変換手段を動作の初期状態にリセットするリセット手段と；前記制御信号が出力されたしきい値のステップ数を計数し計数結果を出力する計数手段とを具備することを特徴とする。

【0016】

【発明の実施の形態】図1は、本発明による一画素の一構成例を示す。この画素10は2次元アレイ構造にするものであり、図はその1画素分を示す。画素はフォトダイオード11、読み出しトランジスタ12、比較回路1

3、AND回路14、リセットトランジスタ15からなる。制御信号のパルス数を計数するカウンタ回路と画素構成回路は画素の開閉率を大きくする目的で画素アレイの外に構成する。

【0017】図1において、フォトダイオード11の出力電圧は、読み出しトランジスタ12に垂直走査信号16が入力されたときに画素の外に出力17される。比較回路13はフォトダイオード11の出力電圧としきい値18を常時比較し、出力電圧がしきい値を越えたときにハイレベルの信号を出力する。AND回路14では比較回路の出力とリセット信号20が両方ともハイレベルである場合にハイレベルの制御信号を出力する。制御信号がハイレベルのときリセットトランジスタ15がオンになる。リセットトランジスタがオンになった場合にはフォトダイオード11はリセットされ、光電変換動作の初期状態の出力電圧に設定される。制御信号19は制御信号出力として画素の外に出力される。しきい値18は画素内で与えるが、画素外から設定することもできる。

【0018】図2に本発明による画素の動作波形の一例を示す。リセット信号20は一定周期のパルス信号である。制御信号は、フォトダイオードの出力電圧がしきい値を越えた時刻の直後のリセットパルスと同じタイミングで出力される。垂直走査信号は、例えば1フレーム期間の終わりに1度だけ入力される。これによって出力される電圧は、1フレーム期間の最後の制御信号によってフォトダイオードがリセットされた時刻から、1フレーム期間の終わりの出力電圧読みだし時刻までに蓄積された光信号電荷によるものか、または制御信号が発生しない場合には1フレーム期間に蓄積された光信号電荷によるものである。この出力電圧の露光時間はリセット信号のパルスの周期と、制御信号パルスの発生回数すなわち入射光量によって変化する。このような動作により、例えば被写体が明るい場合21には多くの制御信号パルスが出力され、また出力電圧が出力される。暗い場合22には制御信号パルスが無い或少なく、また出力電圧が出力される。

【0019】図3に本発明撮像装置30の全体構成例を示す。本構成において、画素アレイは前記画素10を2次元アレイ状に構成したものである。第1垂直走査回路31、第1スイッチ回路32および第1水平走査回路33は、ラスタスキャンによって画素アレイ中の画素からフォトダイオード11の出力電圧を1フレームの終わりに1回読み出すためのものである。第1リセット信号走査回路34は画素に対して行ごとに1行目から最終行に向けて順次リセット信号を供給するためのものである。

【0020】カウンタ回路35は、リセット信号がハイ

レベルのときに画素アレイの制御信号のパルス数を計数する。カウンタ回路アレイはこのカウンタ回路35を画素アレイと同じ行数かつ同じ列数の2次元アレイ状に構成したものである。同一列にある画素の制御信号出力とカウンタ回路の制御信号入力はすべて接続されている。第2垂直走査回路36、第2スイッチ回路37および第2水平走査回路38はラスタスキャンによって、カウンタ回路アレイ中のカウンタ回路35から制御信号パルスの計数結果を1フレームの終わりに1回読み出すものである。第2リセット信号走査回路39はカウンタ回路に対して行ごとに1行目から最終行に向けて順次リセット信号を供給するためのものである。

【0021】第1リセット信号走査回路34と第2リセット信号走査回路39は同じ時刻に、それぞれ画素アレイとカウンタ回路アレイの同じ行に対してリセットパルスを出力する。この動作によって制御信号の計数は列並列処理で実行される。すなわち、画素アレイ中の同じ行にある複数の画素の制御信号は、カウンタ回路アレイ中の画素アレイの行と同じ行の複数のカウンタ回路によって同時に計数される。複数の画素の制御信号を並列に計数するので、制御信号の高速な読み出しが可能となる利点がある。

【0022】画素信号構成回路40は、読み出し時刻におけるフォトダイオードの出力電圧と1フレーム期間の制御信号のパルス数とから画素信号を構成し出力するものである。その構成例を図4に示す。係数計算回路41はフォトダイオードの出力電圧 v 42と制御信号のパルス数 n 43から重み係数 α を計算する。乗算回路44はこの重み係数 α と出力電圧 v をかけ算して、画素信号 P ($=\alpha \cdot v$) 45を出力する。

【0023】係数計算回路における係数 α の計算方法の例を以下に示す。1フレーム期間内のリセットパルスのパルス数を N 、しきい値を Q とする。ここでは1フレーム期間内の入射光量は変化しないと仮定する。重み係数 α は、 $n=0$ のとき $\alpha=1$ とする。また、 $n>0$ のとき、 α は表1から求める。表1において、 $k=0, 1, 2, \dots, N-1$ であり、 a は N を $N-k$ で割ったあまりであり $a=N\%(N-k)$ と表記する。このとき制御信号のパルス数 n は N を $N-k$ で割った商と考えることができるので $n=N/(N-k)$ である。また、 $a=0$ のとき、 v の読み出し時刻に v がリセットされないと仮定する。表1から、得られた n と v をともに満足する k を求め α を決定する。

【0024】

【表1】

n	v	α
$N/(N-k)$	$a=0$ のとき $Q \leq v < \frac{(N-k) \cdot Q}{N-(k+1)}$	n
	$a>0$ のとき $\frac{a \cdot Q}{N-k} \leq v < \frac{a \cdot Q}{N-(k+1)}$	$\frac{N}{a}$

ただし $a = N \% (N-k)$

【0025】本発明による固体撮像装置第2の構成例を図5に示す。図5において、画素は図1に示す画素であって、その構成および動作は前記実施例と同様である。また、水平走査回路53、垂直走査回路51およびスイッチ回路52の動作も前述の実施例と同様である。各画素の制御信号出力は電圧・電流変換回路54に接続している。画素アレイは、画素10と電圧・電流変換回路54の組を1つの構成単位として、この構成単位を2次元アレイ状に配置したものである。

【0026】画素アレイにおいて、全ての画素のリセット信号入力20には同一のタイミングでリセット信号が入力されるようにする。それには例えば画素アレイは1つのリセット信号入力を持ち、この入力からの配線は画素アレイ内の全ての画素のリセット信号入力に接続する。このようなリセット信号のタイミングにすると制御信号19の出力を許されるタイミングも全ての画素で同一となる。画素から制御信号が出力されたとき、各電圧・電流変換回路54は列方向総和読み出し回路55と行方向総和読み出し回路56に対してそれぞれ一定の大きさの電流を出力する。制御信号19の出力を許されるタイミングが同一なので、複数の電圧・電流変換回路からは同一のタイミングで電流が出力され、それらの電流は加算されることになる。結局、リセット信号が入力されるたびに、列方向総和読み出し回路55では同一列に並ぶ画素のうち制御信号を出力した画素の総和に相当する電流値を各列についてそれぞれ得ることになり、行方向総和読み出し回路56では同一行に並ぶ画素のうち制御信号を出力した画素の総和に相当する電流値を各行についてそれぞれ得ることになる。

【0027】列方向総和読み出し回路55および行方向総和読み出し回路56では電流の大きさを電圧の大きさに変換した後に出力する。総和解析回路57では列方向総和読み出し回路55および行方向総和読み出し回路56からの出力により、制御信号を出力した画素の画素アレイ上でのXYアドレスを推定し出力する。カウンタ回路アレイ58では総和解析回路57からの出力より各画素が1フレーム期間内に制御信号を出力した回数を計数し出力する。画素信号構成回路59については前述の画素信号構成回路40と同様である。

【0028】本発明による固体撮像装置第3の構成例を

図11に示す。図11において、画素10、電圧・電流変換回路54、水平走査回路53、スイッチ回路52、垂直走査回路51、列方向総和読み出し回路55、行方向総和読み出し回路56、画素信号構成回路59は図5図示第2の構成例と同様である。列方向加算回路111および行方向加算回路112は、それぞれ列方向総和読み出し回路55および行方向総和読み出し回路56の出力を一定期間加算して出力するものである。総和解析回路113では列方向加算回路111および行方向加算回路112からの出力により、それぞれの画素がある一定期間内に何回制御信号を出力したかを推定し出力する。

【0029】総和解析回路113にて行う推定の難易を決定する要因の一つにリセット信号の入力タイミングがある。リセット信号の入力タイミングとしては例えば、一定の周波数でパルス状のリセット信号を与える。このとき列方向加算回路では同一列に並ぶ画素のうち制御信号を出力した画素の総和を1フレーム期間加算した値を各列について得るものとし、行方向加算回路では同一行に並ぶ画素のうち制御信号を出力した画素の総和を1フレーム期間加算した値を各行について得るものとする。総和解析回路ではこれらより各画素の制御信号の1フレーム期間内の出力回数を推定し1フレーム期間に一回出力する。

【0030】また、別のリセット信号の入力タイミングとしては例えば、1フレーム期間(1/30秒)のはじめの1/120秒間においてはその期間の終わりに一度だけリセットパルスを入力し、残りの3/120秒間においては一定の周波数でパルス状のリセット信号を与える。このとき列方向加算回路では、同一列に並ぶ画素のうち制御信号を出力した画素の総和を、はじめの1/120秒間加算した値を各列について得てそれを出力し、また、残りの3/120秒間加算した値を各列について得てそれを出力する。行方向加算回路においても同様である。はじめの1/120秒間によって列方向加算回路および行方向加算回路によって得られる値は、しきい値レベルの4倍以上の画素信号を出力する画素の総和になる。総和解析回路でははじめの1/120秒間の値を用いてしきい値レベルの4倍以上かどうかを粗く推定した後、残りの3/120秒間の値を用いて詳しい推定を行う。

【0031】次に計算機シミュレーションにより、本発明固体撮像装置によって得られる光電変換特性を求めた。このとき、1フレーム期間のリセットパルスのパルス数 N を $N=100$ 、しきい値 Q を $Q=1$ とした。また、フォトダイオードの蓄積電荷が飽和したときの出力電圧を1として、そのときの入射光量を1とした。一例として入射光量100までを計算した。シミュレーション結果を図6に示す。入射光量が100まで増加する間に画素信号値も増加しており、従来の100倍のダイナミックレンジを実現していることがわかる。

【0032】以上説明してきた本発明固体撮像装置の構成例ではしきい値は動作中すべて固定で、好適にはフォトダイオードの蓄積電荷の飽和時の出力電圧近傍に設定されてきたが、この形式では次に述べる不都合を生じる。すなわちフォトダイオードが飽和状態の出力電圧を1、リセットされたときの電圧を0とする。ここで例えば図12(a)に示すように、しきい値を1とし単位蓄積時間に10回のパルス状のリセット信号を加えるとすると、このとき、単位蓄積時間に出力される制御信号を加算すれば、各画素において単位蓄積時間に何回しきい値を越えたかすなわち飽和したかを知ることができる。このときの被写体の明るさと飽和回数との関係を図12

(b)に示す。フォトダイオードは明るさ1のときに単位蓄積時間に1回飽和するとしている。図12(b)より、被写体の明るさが1から10まで変化するとき制御信号を加算して得られた飽和回数は1, 2, 3, 5, 10回ととびとびにしか変化しないことがわかる。これはすなわちしきい値一定では、表現できる明るさの階調数が被写体の明るさの階調数に比べて少なくなることを意味している。

【0033】上述の問題を解決するには動作中しきい値を可変とする以下に述べる構成が提案される。図13

(a)に示すように、単位蓄積時間に10回のパルス状のリセット信号を加えるときに、1回目のパルスではしきい値を $1/10$ 、2回目のパルスではしきい値を $2/10$ 、以下同様に10回目では $10/10$ となるようにする。このとき、1回目のパルスで論理値「1」の制御信号を出力した画素は、単位蓄積時間に1回以上飽和する画素がすべて含まれることになる。また同じく、2回目のパルスでは、単位蓄積時間に2回以上飽和する画素がすべて含まれる。3回目のパルスでは、3回以上飽和する画素と1回だけ飽和する画素の一部が含まれる。このように各パルスにおいて論理値「1」の制御信号を出力する画素が、単位蓄積時間に何回あるいは何回以上飽和するかはあらかじめ知ることができる。従って、各パルスにおける制御信号の出力の状態を統合することによって、各画素の単位蓄積時間の飽和回数を求めることができる。このようにして得られる被写体の明るさと飽和回数との関係を図13(b)に示す。図13(b)より、被写体の明るさが1から10まで変化したときに飽

和回数も1回から10回まで明るさに合わせて変化することがみてとれる。

【0034】この方式を実現するための回路構成例を図14に示す。図14において、画素10、画素アレイ、垂直走査回路31、水平走査回路33、スイッチ回路32およびリセット信号走査回路34は図3の構成例と同様である。1回目のリセットパルスが入力されたとき、セレクトアはメモリ1の入力へ切り替えられる。メモリ1は1回目のリセットパルスにおいて各画素が出力する制御信号を論理値「0」または「1」として記憶する。同様に、2回目のリセットパルスのときはセレクトアはメモリ2の入力へ切り替えられ、10回目のときはメモリ10の入力に切り替えられ、各メモリはその時に出力される制御信号をすべての画素について記憶する。飽和回数計算回路140では、メモリ1からメモリ10までの内容を参照しながら、各画素が単位蓄積時間に何回飽和したかを計算し出力する。画素信号構成回路40では、単位蓄積時間の飽和回数と、単位蓄積時間の終わりに一度読み出されるフォトダイオードの出力電圧とから画素信号を構成し出力する。

【0035】以上いくつかの実施例により本発明を説明してしたが、本発明はこれらに限定されることなく、特許請求の範囲に規定された発明の要旨内で各種の変形、変更の可能なことは当業者に自明であろう。

【0036】

【発明の効果】従来技術の光電変換部の出力電圧がしきい値を横切った回数から画素値を構成する手法では、明るさの階調数と同等の数が計数可能な規模のカウンタが必要であったが、本発明では、上述の条件においてカウンタ回路は0から100までを計数できればよいので7ビットでよい。このとき明るさの階調数はフォトダイオードの出力電圧の読み出し時の分解能に依存しており、高性能なA/Dコンバータを使用することにより、十分な階調数を得ることができる。また、カウンタ回路は画素アレイの外に配置しているので画素の開口率を大きくできると予測される。また、本発明では被写体が暗い場合には制御信号のパルスは発生せず、従来のCMOS型イメージセンサと同様にフォトダイオードの出力電圧を読み出し、それを画素値とする。したがって感度は従来型と同等となるので、前述の感度が低くなる欠点がない。

【0037】本発明はリセットパルス数を一定とした場合、フォトダイオードの出力電圧の読み出し時刻の直前の制御パルスの発生時刻から出力電圧の読み出し時刻までの時間は、入射光量が変化すると変化する。このことは前記表1においては、上記フォトダイオードの出力電圧の読み出し時刻の直前の制御パルスの発生時刻から出力電圧の読み出し時刻までの時間は a であり、入射光量が変化することは k が変化することであって、リセットパルス数 N を一定としたとき、 k の変化によって a が変

化することからもわかる。この動作だけを考慮すると、本発明は前述の露光時間を入射光量によって変化させて映像信号を広ダイナミックレンジ化する手法と類似している。しかしながら、1画素の中にフォトダイオードを1つしか配置しないので前述の画素の開口率の問題は起こらない。

【図面の簡単な説明】

【図1】 本発明による一画素の一構成例を示す図である。

【図2】 本発明による画素の動作波形を示す図である。

【図3】 本発明による固体撮像装置の一構成例を示す図である。

【図4】 本発明による画素信号構成回路の一構成例を示す図である。

【図5】 本発明による固体撮像装置第2の構成例を示す図である。

【図6】 本発明による固体撮像装置の光電変換特性を示す図である。

【図7】 従来の固体撮像装置一画素の一構成例を示す図である。

【図8】 従来の固体撮像装置画素の動作波形を示す図である。

【図9】 従来の固体撮像装置の動作原理の概念を示す図である。

【図10】 従来の固体撮像装置の構成を示す図である。

【図11】 本発明による固体撮像装置第3の構成例を示す図である。

【図12】 しきい値一定時の本発明固体撮像装置の動作を説明するための図である。

【図13】 しきい値可変時の本発明固体撮像装置の動作を説明するための図である。

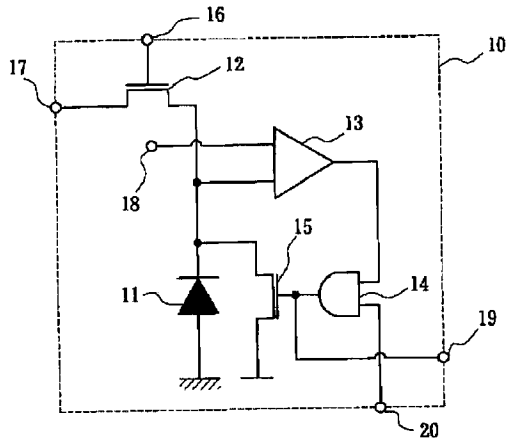
【図14】 しきい値可変時の本発明固体撮像装置の構成を示す図である。

【符号の説明】

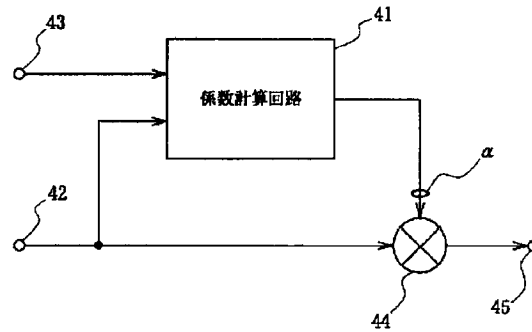
- 10 画素
- 11 フォトダイオード
- 12 読み出しトランジスタ
- 13 比較回路
- 14 AND回路

- 15 リセットトランジスタ
- 16 垂直走査信号
- 17 出力電圧
- 18 しきい値
- 19 制御信号
- 20 リセット信号
- 21 被写体が明るい場合のデータ
- 22 被写体が暗い場合のデータ
- 30 本発明固体撮像装置
- 31 第1垂直走査回路
- 32 第1スイッチ回路
- 33 第1水平走査回路
- 34 第1リセット信号走査回路
- 35 カウンタ回路
- 36 第2垂直走査回路
- 37 第2スイッチ回路
- 38 第2水平走査回路
- 39 第2リセット信号走査回路
- 40 画素信号構成回路
- 41 係数計算回路
- 42 フォトダイオードの出力電圧 (v)
- 43 制御信号のパルス数 (n)
- 44 乗算回路
- 45 画素信号 ($P = \alpha \cdot v$)
- 51 垂直走査回路
- 52 スwitch回路
- 53 水平走査回路
- 54 電圧・電流変換回路
- 55 列方向総和読み出し回路
- 56 行方向総和読み出し回路
- 57 総和解析回路
- 58 カウンタ回路アレイ
- 59 画素信号構成回路
- 71 フォトダイオード
- 72 しきい値
- 73 比較回路
- 74 パルス出力
- 75 リセットトランジスタ
- 111 列方向加算回路
- 112 行方向加算回路
- 113 総和解析回路

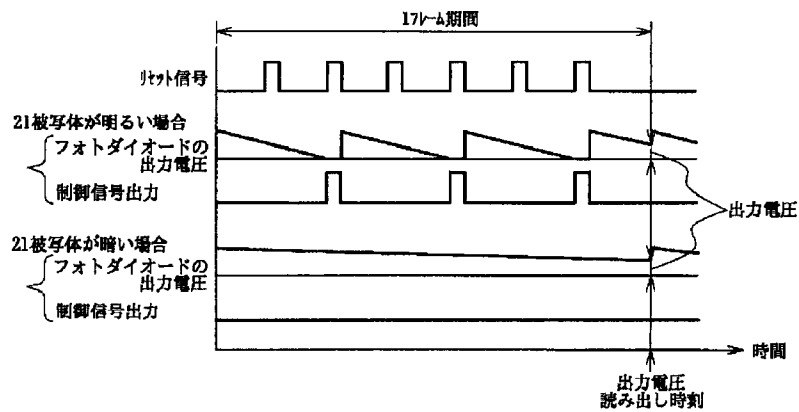
【図1】



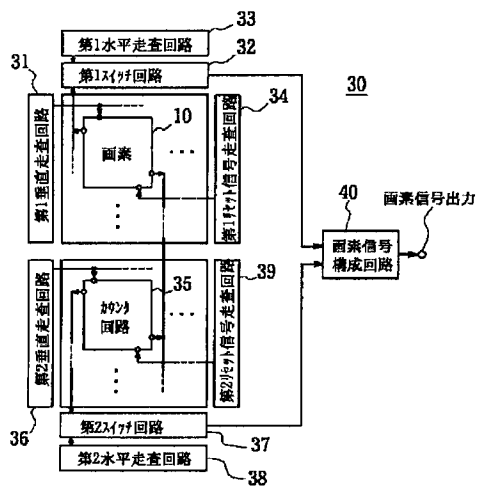
【図4】



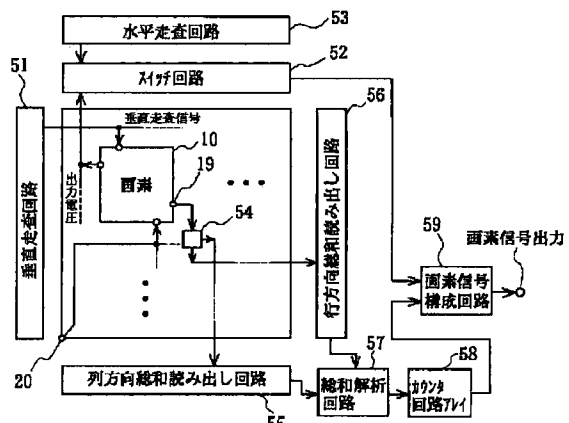
【図2】



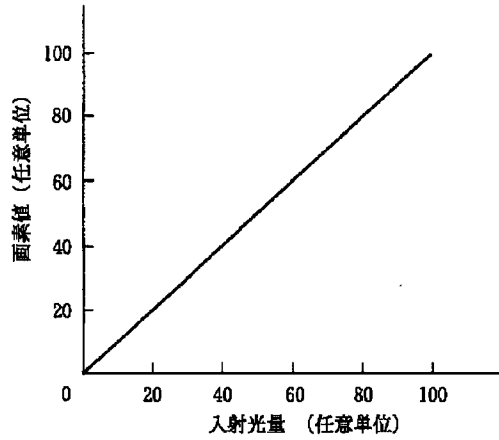
【図3】



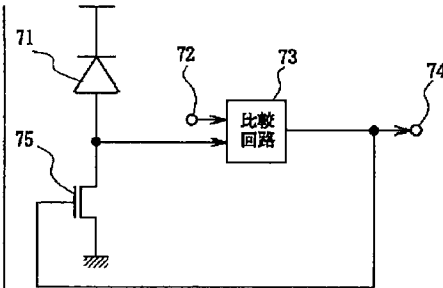
【図5】



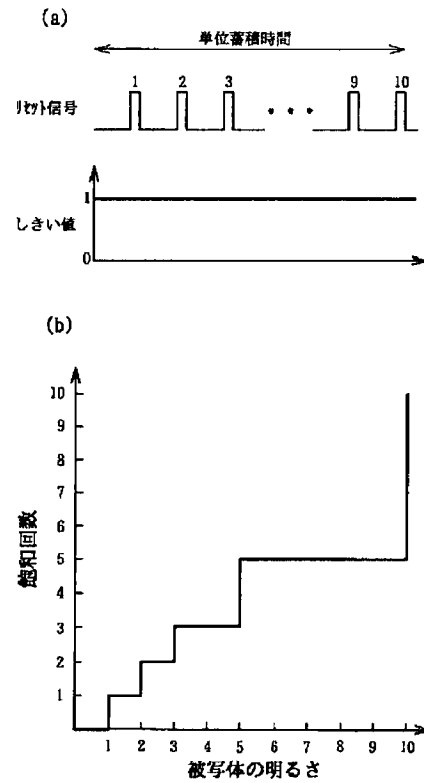
【図6】



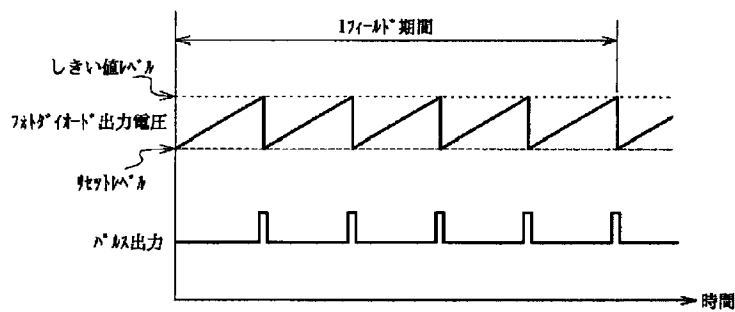
【図7】



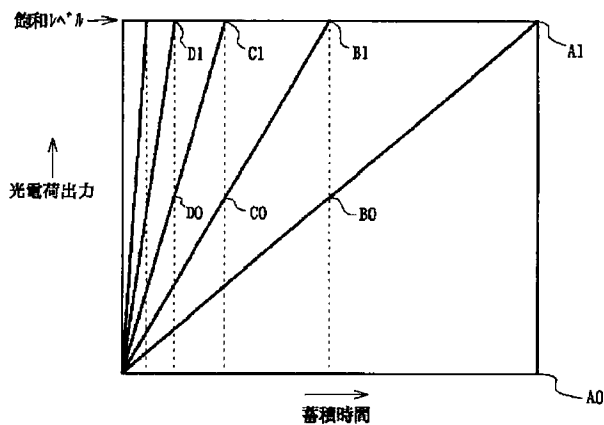
【図12】



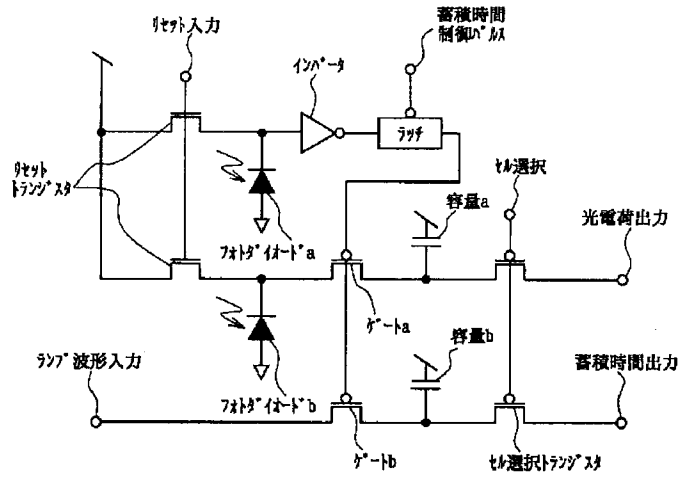
【図8】



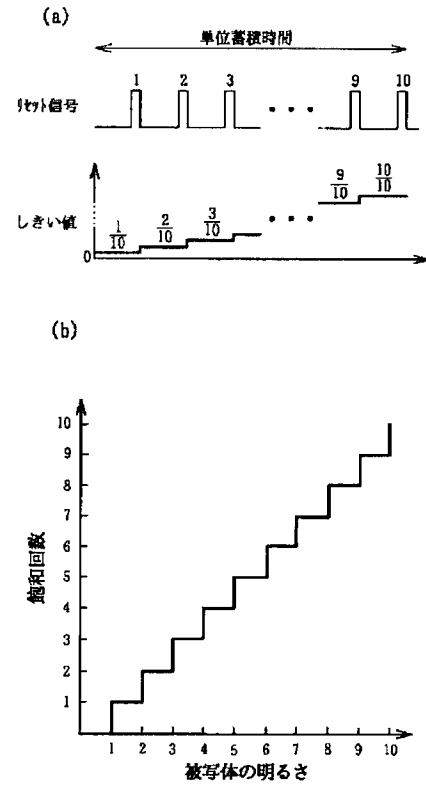
【図9】



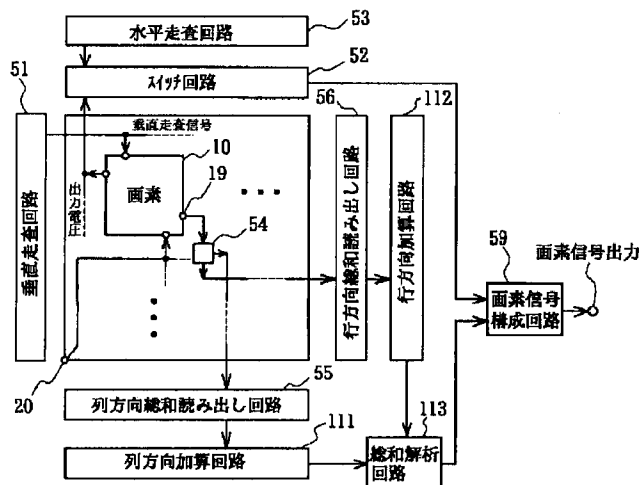
【図10】



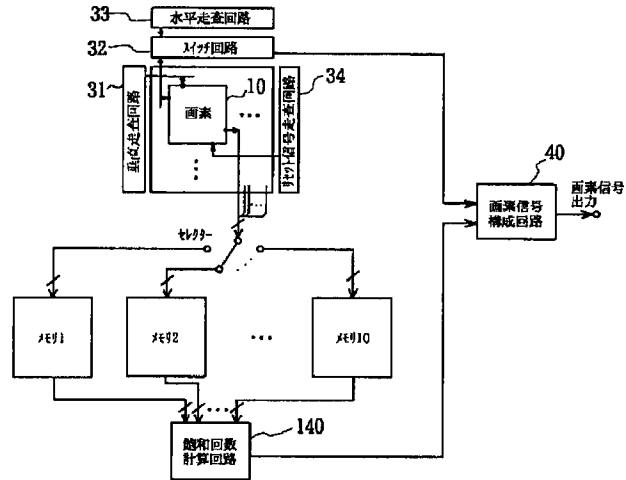
【図13】



【図11】



【図14】



フロントページの続き

(72)発明者 渡部 俊久
東京都世田谷区砧1丁目10番11号 日本放
送技術研究所内

(72)発明者 石黒 雄一
東京都世田谷区砧1丁目10番11号 日本放
送技術研究所内

Fターム(参考) 4M118 AA02 AB01 BA06 CA02 DD01
DD12

5C024 AA01 CA15 FA01 GA01 GA31
HA14 HA18 HA20